'S GROUP, LLC
translate.com

340 Brannan St., 5th Floor
San Francisco, CA 94107
Tel: (415) 512-8800
Fax: (415) 512-8982

TRANSLATION FROM JAPANESE

(19) JAPANESE PATENT OFFICE (JP)

(11) Unexamined Patent Application (Kokai) No. **62-188100**

(12) Unexamined Patent Gazette (A)

(51) Int. Cl.^{5}:	Classification Symbols:	Internal Office Registration Nos.:
G 11 C 17/00	309	6549-5B
29/00	303	F-7737-5B

(43) Disclosure Date: August 17, 1987

Request for Examination: Not yet submitted

Number of Inventions: 1

(Total of 9 pages [in original])

---

(54) Title of the Invention:

WRITING METHOD FOR ULTRAVIOLET-ERASABLE PROGRAMMABLE ROM

(21) Application No. 61-31125

(22) Filing Date: February 13, 1986

(72) Inventor: Toshihiro Koyama

(72) Inventor: Tsugio Tawara

(71) Applicant: Mitsubishi Denki K.K.

(74) Agent: Masuo Oiwa, Patent Attorney (and two others)

SPECIFICATION

1. Title of the Invention

WRITING METHOD FOR ULTRAVIOLET-ERASABLE PROGRAMMABLE ROM

2. Claims

A writing method for an ultraviolet-erasable programmable ROM which writes data at one time for a plurality of bits, wherein

[a] write data for a plurality of bits is input at one time and written into the aforementioned plurality of bits at one time,

[b] the data written into the aforementioned respective bits is read out,

[c] a judgement is made as to whether or not there is agreement between this read-out data and the aforementioned write data that was input at one time, and it is detected whether or not there are bits that have reached a specified threshold voltage among the bits into which the write data "0" was written,

[d] for bits in which the aforementioned read-out data and the aforementioned write data that was input at one time agree, the aforementioned write data "0" is subsequently updated to "1" and written in, and

[e] for bits in which the aforementioned read-out data and the aforementioned write data that was input at one time do not agree, the aforementioned write data "0" is written in "as is".

3. Detailed Description of the Invention

(Field of Industrial Utilization)

The present invention relates to a writing method for an ultraviolet-erasable programmable ROM (hereafter referred to as an "EPROM"), and more specifically relates to a writing method which can maintain the threshold voltages of bits into which the write data "0" is to be written at a fixed level that is greater than a [specified] judgement value.

(Prior Art)

Figure 5 shows a flow chart for a conventional EPROM writing method.

In this EPROM, the addresses are constructed from a plurality of bits, and the erased state is 1, while the written state is 0.

To describe this writing method, the initial address is first set in step S1. Next, the loop number N is set at 1 in step 2. Next, in step S3, one pulse of a constant duration is written into each bit of the set initial address so that write data of 0 or 1 is written. Next, in step S4, a judgement is made as to whether or not read-out of the data written for all of the bits of the address is possible. Here, for a given bit, read-out of the data written into the bit is possible in cases where the written data is 0 if the threshold voltage of the bit has reached a fixed level that is greater than a [specified] judgement value, and is possible in cases where the written data is 1 if the threshold voltage of the bit has reached a fixed level that is less than the abovementioned judgement value (these states are referred to as "pass states"). In cases where any address bit cannot be read out, a judgement is made in step S5 as to whether or not the loop number N for the bit that cannot be read out is equal to the loop limit value L. In cases where the loop number N is not equal to the loop limit value L, a result of N = 2 is obtained in step S6; accordingly, the processing returns to step S3, and the write data is rewritten. Subsequently, a cycle consisting of step S3, step S4, step S5 and step S6 is repeated while adding 1 to the loop number N each time, until the data written in step S4 can be read out. In cases where the loop number N becomes equal to the loop limit value L in this cycle, a display indicating faulty writing into the EPROM is shown in step S7, and subsequent rewriting is stopped. In cases where all of the bits of the address can be read out, a judgement is made in step S8 as to whether or not the address in question is the final address. In cases where this address is the final address, writing into the EPROM is completed; in cases where this address is not the final address, the next address is set in step S9, and the processing returns to step S2, so that the writing and read-out of the next address are continued.

Thus, for each address, one fixed-time pulse of writing and read-out is repeated until all of the bits of the address are in a pass state, or until the loop number N reaches the loop limit value L, and this cycle is executed until the final address is reached, so that the write data is stored [?] [poor legibility—Tr.] in bits in one-address units.

Figure 6 is a diagram which shows the writing characteristics in a case where write data "0" is written into the bits of an EPROM using a conventional writing method. In the figure, the threshold voltages of the bits into which the write data "0" is written increase in proportion to the writing time. Here, the writing time required for the threshold voltages of the bits to reach the level of the judgement value varies from bit to bit as a result of variation at the time of manufacture of the EPROM.

Figure 7 is a diagram which shows the writing characteristics in a case where write data "1" is written into the bits of an EPROM using a conventional writing method. In the figure, the threshold voltages of the bits into which the write data "1" is written vary according to the writing time.

(Problems to Be Solved by the Invention)

In the case of conventional EPROMs, writing is performed by the method described above. However, since the threshold voltages of the bits into which the aforementioned write data "0" is written are proportional to the writing time as shown in Figure 6, a cycle consisting of step S3, step S4, step S5 and step S6 must be repeated numerous times in cases where bits of the same address include bits into which it is difficult to write the write data "0", so that rewriting is performed for a long period of time. As a result, the threshold voltages of bits into which the write data "0" can easily be written become considerably higher than the threshold voltages of bits into which such writing is difficult.

Figure 8 illustrates this situation. There is a variation in the threshold voltages of bits into which the abovementioned write data "0" is written, and this variation increases with a decrease in the number of bits into which data is written. As a result, in the case of a conventional writing method, there are problems such as a lack of suitability for writing

as pre-processing in tests of memory retention characteristics (high-temperature storage and high-temperature operation, etc.).

The present invention was devised in order to solve the abovementioned problems; the object of the present invention is to provide an EPROM writing method which can maintain the threshold voltages of bits into which write data "0" is written at a fixed level exceeding the judgement value.

(Means Used to Solve the Abovementioned Problems)

The EPROM writing method of the present invention is a writing method in which [a] write data for a plurality of bits is input at one time and written into the aforementioned plurality of bits at one time, [b] the data written into the aforementioned respective bits is read out, [c] a judgement is made as to whether or not there is agreement between this read-out data and the aforementioned write data that was input at one time, and it is detected whether or not there are bits that have reached a specified threshold voltage among the bits into which the write data "0" was written, [d] for bits in which the aforementioned read-out data and the aforementioned write data that was input at one time agree, the aforementioned write data "0" is subsequently updated to "1" and written in, and [e] for bits in which the aforementioned read-out data and the aforementioned write data that was input at one time do not agree, the aforementioned write data "0" is written in "as is".

(Effect)

The present invention utilizes the writing characteristic that the threshold voltage of a bit does not change even if write data "1" is written into said bit. Specifically, the present invention is devised so that in cases where the bits into which write data "0" has been written include a bit that has reached a specified threshold voltage, the write data for this bit is subsequently updated to "1" and written into the bit, while in the case of the other bits of the same address that have not yet reached the specified threshold voltage, write data "0" is written into the bits "as is" all at one time. Accordingly, in the case of

the abovementioned other bits, the threshold voltage rises as a result of the abovementioned rewriting performed all at one time; however, the threshold voltage of the abovementioned bit that has reached the abovementioned specified threshold voltage does not show any change as a result of the abovementioned rewriting performed all at one time.

(Embodiments)

An embodiment of the present invention will be described below with reference to the attached figures. Furthermore, in the description of this embodiment, the description of parts that would duplicate the above description of the prior art will be appropriately omitted.

Figure 1 is a flow chart which illustrates an EPROM writing method that constitutes an embodiment of the present invention. This flow chart differs from the flow chart shown in Figure 5 in the following respects: specifically, a step S51, step S52 and step S53 are inserted between step S5 and step S6, and a step S10 is added following step S9. Here, in cases where the loop number N is not equal to the loop limit value L, a judgement is made in step S51 as to whether or not the bits of the set address include bits that are in a pass state. In cases where there are no bits in a pass state, the loop number N is increased by 1 in step S6; then, the processing returns to step S3, and the writing of write data of "0" or "1" is performed by writing one pulse of a fixed duration into each bit. In cases where bits in a pass state are present [among the bits of the abovementioned set address], the information of the bits in a pass state is stored in step S52; next, in step S53, the subsequent write data is updated from "0" to "1" for the bits into which write data "0" has been written (among the bits in a pass state). Next, in step S6, the loop number N is increased by 1; then, the processing returns to step S3, and the writing of write data "0" or "1" is performed by writing a pulse of a fixed duration into each bit. Subsequently, a cycle consisting of step S3 through step S5, step S51 through step S53 and step 6 is repeated, with the loop number being successively increased by 1 until all of the bits of the address are in a pass state in step S4. Furthermore, in step S9, the next

address is set; at the same time, the bit information stored in a pass state in step S52 is cleared in step S10.

Thus, for each address, the writing and read-out of one pulse of a fixed duration is repeated until all of the bits of the address are in a pass state, or until the loop number N reaches the loop limit value L, and a cycle consisting of step S3 through step S5, step S51 through step S53 and step S6 is performed until the final address is processed. In this way, the write data "1" is written into bits in single-address units.

Figure 2 is a circuit diagram which illustrates an example in which the writing method of Figure 1 is realized by means of an external circuit. To describe this construction, an address signal line 3, a write signal line 4 and a read-out signal line 5 are connected to an EPROM 1. Address signals, write signals and read-out signals are applied to the respective signal lines. Each address of the EPROM 1 is constructed from n bits, and n driver-comparator circuits 31 through 3n are provided for these n bits. The EPROM 1 is connected to the respective driver-comparator circuits 31 through 3n by means of n data signal lines 2, and the respective driver-comparator circuits 31 through 3n are connected to a NAND circuit 13 by means of n bit pass signal lines 12. The NAND circuit 13 is connected to an address pass signal line 14.

To describe the driver-comparator circuit 31 in detail, a write data signal D1 is input into a write data signal line 111. The write data signal line 111 is connected to one input side of an OR circuit 101, and is connected to the data signal line 21 via a gate 41. A control signal line 6 is connected to the gate 41, and a driver enable signal is applied to this control signal line 6. The on-off switching of the gate 41 is controlled by the driver enable signal. The connection point between the output side of the OR circuit 101 and the input side of the gate 41 is connected to one of the input sides of an EOR circuit 51, and the output side of the gate 41 is connected to the other input side of the EOR circuit 51. The EOR circuit 51 judges the agreement between the data signal 101a from the OR circuit 101 and the read-out data signal read out from the EPROM 1. Specifically, the EOR circuit 51 makes a judgement as to whether or not the threshold voltages of the bits into which data has been written are in a pass state so that the data to be written can be

read out. The output side of the EOR circuit 51 is connected to one of the input sides of an OR circuit 61. A control signal line 7 is connected to the other input side of the OR circuit 651, and a strobe signal is applied to this control signal line 7. The strobe signal causes the OR circuit 61 to read in the judgement results from the EOR circuit 51. A NAND circuit 81 and NAND circuit 91 form a flip-flop circuit 71. The output side of the OR circuit 61 is connected to one of the input sides of the NAND circuit 81, and the other input side of the NAND circuit 81 is connected to the output side of the NAND circuit 91. One of the input sides of the NAND circuit 91 is connected to the output side of the NAND circuit 81 and the other input side of the OR circuit 101. A control signal line 8 is connected to the other input side of the NAND circuit 91, and a clear signal is applied to this control signal line. The flip-flop circuit 71 stores those signals among the output of the OR circuit 61 that correspond to a pass state. When the output of the flip-flop circuit 71 corresponds to a pass state, the OR circuit 101 changes the write data D1 from "0" to "1". The signals corresponding to a pass state stored in the flip-flop circuit 71 are cleared by the clear signal. The connection point between the other input side of the OR circuit 101 and the output side of the NAND circuit 81 is connected to the input side of a NAND circuit 13 by a bit pass signal line 121. Furthermore, the other driver-comparator circuits 3n are also constructed in the same manner as the drive-comparator circuit 31. For example, for [a given] driver-comparator circuit 3n, 4n indicates a gate, 10n indicates an OR circuit, and 8n indicates a NAND circuit; furthermore, a write data signal Dn is input into the write data signal line 11n. In cases where the outputs of the respective flip-flop circuits of the driver-comparators 31 through 3n all correspond to a pass state so that the data that is to be written can be read out for all of the bits of the address, the NAND circuit 13 outputs an address pass signal.

Figure 3 is a timing chart which is used to illustrate the operation of the circuit shown in Figure 2.

Next, the writing method using the circuit shown in Figure 2 will be described with reference to Figure 3. Here, it is assumed that write data D1 of "0" is input into the write data signal line 111, and that a data signal 101a of "0" is output from the OR circuit

101. This data signal 101a is applied to the gate 41, so that the driver enable signal is at a low level. Accordingly, the write signal is at a low level, and a data signal 101a of "0" is written by writing one pulse of a fixed duration into [each?] bit of the set address of the EPROM 1. Afterward, the read-out signal is at a low level, and a read-out data signal 11a is output from the EPROM 1. In this case, the threshold voltages of the bits [Translator's note: here and below, the singular/plural distinction with regard to "bits" is unclear in the original.] are still not in a pass state; accordingly the read-out data signal 11a is "1". The EOR circuit 51 judges the agreement of the data signal 101a of "0" and the read-out data signal 11a, and outputs a high-level bit judgment signal 51a. Afterward, the strobe signal is at a low level, so that the OR circuit 61 writes the high-level bit judgement signal 51a, and a high-level bit signal 61a is output from the OR circuit 61. In this case, since the clear signal is at a high level, a low-level bit pass signal is output from the flip-flop circuit 71. Next, since read-out of the write data "0" is still not possible, the output of the OR circuit 101 does not change, and a data signal 101a of "0" is output. This data signal 101a of "0" is rewritten into the same bit. A cycle operation consisting of the rewriting of the data signal 101a of "0" and judgement of the agreement of the data signal 101a and read-out data signal 11a, etc., is repeated until a read-out data signal 11a of "0" is output, i. e., until the threshold voltages of all of the bits are in a pass state. However, in cases where the loop number N reaches the loop limit value L, a display indicating faulty writing into the EPROM 1 is shown, and subsequent rewriting of the data signal 101a is cut off. When the data signal 101a and read-out data signal 11a agree as a result of rewriting so that the threshold voltages of bits into which "0" is to be written are in a pass state (in Figure 3, a pass state [is achieved] at the third pulse), the EOR circuit 51 outputs a low-level bit judgement signal 51a. Afterward, the strobe signal is at a low level so that the OR circuit 61 reads in the low-level bit judgment signal 51a, and a low-level bit signal 61a is output from the OR circuit 61. In this case, since the clear signal is at a high level, the low-level bit signal 61a is stored in the flip-flop circuit 71, and a high-level bit pass signal 81a is output from the flip-flop circuit 71. Next, since read-out of the write data "0" is already possible, the output of the OR circuit 101 changes, and a data signal 101a of "1" is output; this data signal 101a of "1" is rewritten into the same bit.

Afterward, a read-out data signal 11a of "0" is output from the EPROM 1. The bit judgement signal 51a is at a high level, and the bit signal 61a is at a high level; accordingly, the bit pass signal 81a remains at a high level, and the output of the OR circuit 101 does not change. Consequently, a data signal 101a of "1" is rewritten into the same bit. Afterward, a data signal 101a of "1" is output from the OR circuit 101, and "1" continues to be written into the bits. However, even if a data signal of "1" is written into a bit, the threshold voltage of the bit does not rise; accordingly, the threshold voltages of the bits into which a write data signal of "0" is to be written are maintained at a constant level that is more or less equivalent to the initial pass state, so that these threshold voltages do not change.

Furthermore, in cases where a write data signal D1 of "1" is input from the write data signal line 111, as in cases where a write data signal D1 of "0" is input, even when a bit has reached the pass state, a data signal of "1" continues to be written until all of the other bits have reached the pass state. In this case, the threshold voltages of bits into which a data signal of "1" is to be written are of course maintained at a fixed level that is below the judgement value.

Such a writing operation is also performed for the remaining driver-comparator circuits 3n, etc., in parallel with the writing operation of the driver-comparator circuit 31, and write data signals of "0" or "1" are written into each bit of the same address. Then, when the threshold voltages of all of the bits within the same address are in the pass state, all of the bits of the address can be read out, and the bit pass signals 81a through 8n from the respective driver-comparator circuits are all at a high level, so that a low-level address pass signal is output to the address pass signal line 14 from the NAND circuit 13, and the next address is set. In this case, the clear signal is at a low level so that the bit signal 61a in a pass state stored in the flip-flop circuit 71 is cleared. Accordingly, the output of the flip-flop circuit 71 is at a low level, and the processing continues with the writing of the next address.

Figure 4 shows the distribution of the threshold voltages of the bits with respect to the number of bits written in a case where write data of "0" is written using the

abovementioned writing method. It is seen that the threshold voltages of the respective bits are more or less uniformly maintained at the level of the judgement value regardless of the number of bits written, with these voltages showing little variation.

Thus, in the present invention, for bits into which write data of "0" is to be written, the write data is updated from "0" to "1" and written after the bits have reached the pass state; accordingly, even if rewriting is repeated at one time for a plurality of bits in address units, the threshold voltages of bits into which write data of "0" is to be written are maintained at a more or less constant level above the judgement value, and the threshold voltages of bits into which write data of "1" is to be written are maintained at a more or less constant level below the judgement value.

Furthermore, in the above embodiment, a case was described in which the writing method of the present invention was realized using the external circuit shown in Figure 2; however, the writing method of the present invention could also be realized using a similar external circuit, an internal circuit in a device, or software. In such cases as well, an effect similar to that of the abovementioned embodiment can be obtained.

(Merits of the Invention)

In the present invention, as was described above, write data for a plurality of bits is written into the plurality of bits at one time, and the agreement of the read-out data and write data is judged, so that it is detected whether or not the bits into which write data of "0" has been written include bits that have reached a specified threshold voltage. In the case of bits in which the read-out data and write data agree, the write data is subsequently updated from "0" to "1" and written. In the case of bits in which the read-out data and write data do not agree, the write data of "0" is written "as is". Accordingly, it is possible to obtain an EPROM writing method which can maintain the threshold voltages of all of the bits into which write data of "0" is to be written at a constant level above the judgement value. Accordingly, this method is suitable for use as a pre-treatment in tests of memory retention characteristics involving high-temperature storage or high-temperature operation, etc.

4. Brief Description of the Drawings

Figure 1 is a flow chart of an EPROM writing method that constitutes one embodiment of the present invention.

Figure 2 is a circuit diagram which illustrates an example in which the writing method shown in Figure 1 is embodied by means of an external circuit.

Figure 3 is a timing chart which is used to illustrate the operation of the circuit shown in Figure 2.

Figure 4 is a diagram which shows the distribution of the threshold voltages of the bits with respect to the number of bits written in a case where write data of "0" is written using the writing method of the present invention.

Figure 5 is a flow chart which illustrates a conventional EPROM writing method.

Figure 6 is a diagram which illustrates the writing characteristics in a case where write data of "0" is written using a conventional writing method.

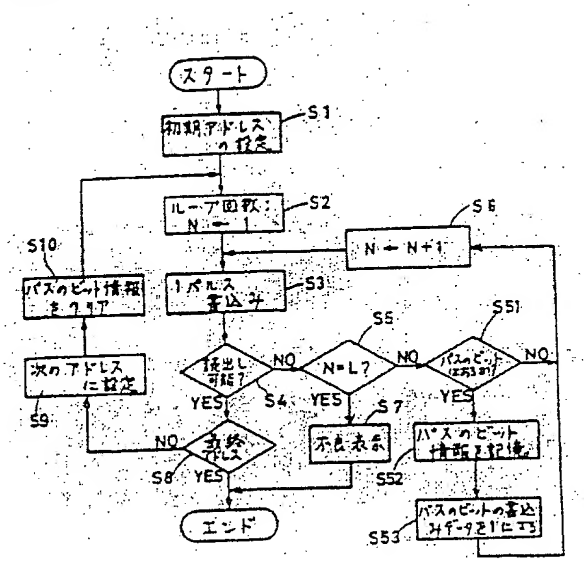
Figure 7 is a diagram which illustrates the writing characteristics in a case where write data of "1" is written using a conventional writing method.

Figure 8 is a diagram which shows the distribution of the threshold voltages of the bits with respect to the number of bits written in a case where write data of "0" is written using a conventional writing method.

In the figures, 1 indicates an EPROM, 2 indicates a data signal line, 3 indicates an address signal line, 4 indicates a write signal line, 5 indicates a read-out signal line, 6, 7 and 8 indicate control signal lines, 12 indicates a bit pass signal line, 14 indicates an address pass signal line, 31 and 3n indicates driver-comparator circuits, 41 and 4n indicate gates, 51 indicates an EOR circuit, 61, 101 and 10n indicate OR circuits, 71 indicates a flip-flop circuit, and 81, 8n, 91 and 13 indicate NAND circuits.

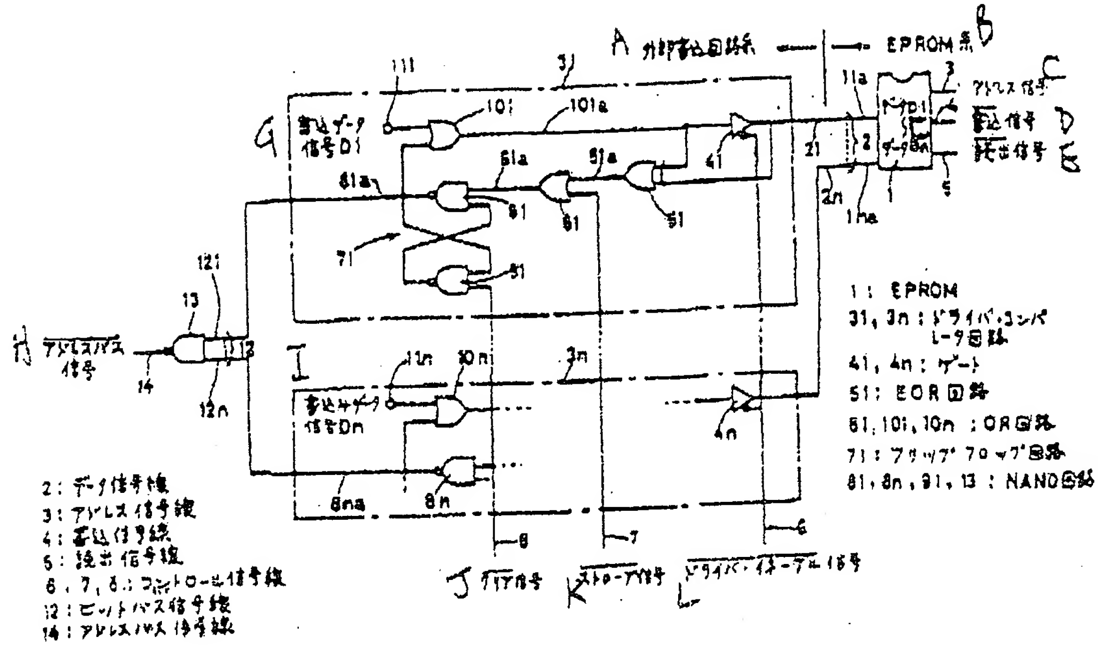
Furthermore, in the respective figures, the same symbols indicate the same or corresponding parts.

Figure 1



[Key: [top oval] Start; S1: Setting of initial address; S2: Loop number: N ← 1; S3: One pulse written; S4: Read-out possible?; S51: Pass bit present?; S52: Pass bit information stored; S53: Pass bit write data changed to "1"; S7: Display of faulty operation; S8: Final address?; S9: Setting of next address; S10: Pass bit information cleared; [bottom oval] End.]

Figure 2



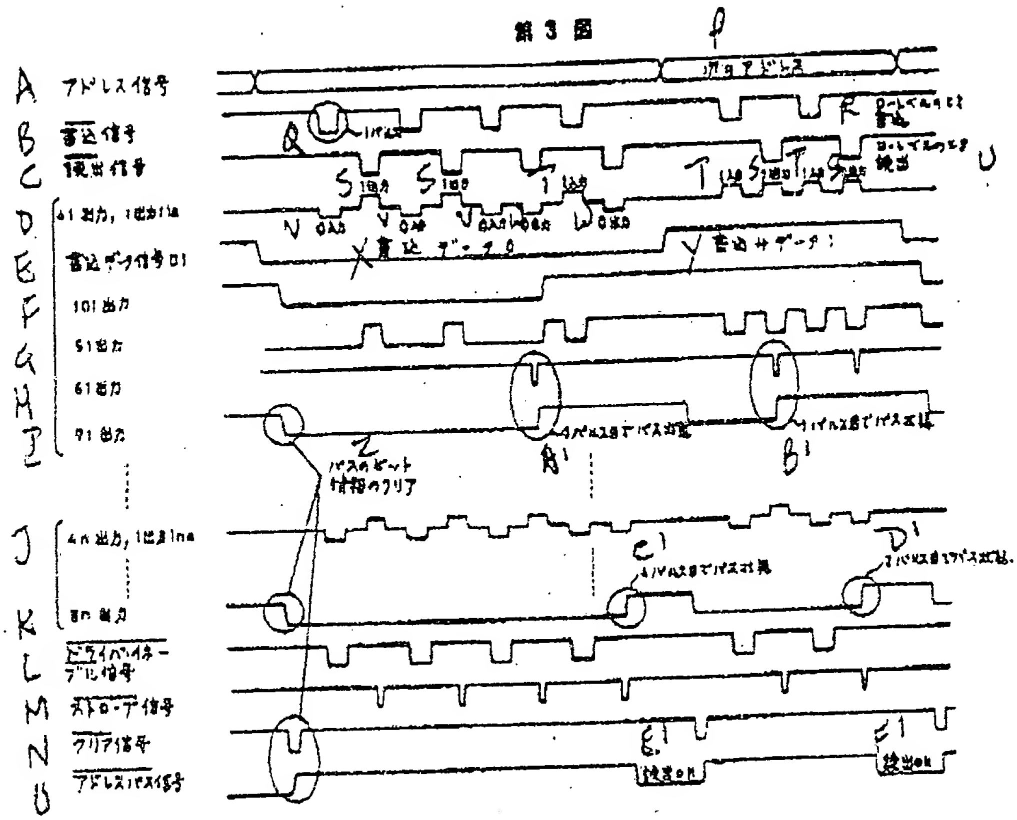
[Key:]

A: External writing circuit system; B: EPROM system; C: Address signal; D: Write signal; E: Read-out signal; F: Data D1 ~ Data Dn; G: Write data signal D1; H: Address pass signal; I: Write data signal Dn; J: Clear signal; K: Strobe signal; L: Driver enable signal.

1: EPROM; 31, 3n: Driver-comparator circuits; 41, 4n: Gates; 51: EOR circuit; 61, 101, 10n: OR circuits; 71: Flip-flop circuit; 81, 8n, 91, 13: NAND circuits.

2: Data signal line; 3: Address signal line; 4: Write signal line; 5: Read-out signal line; 6, 7, 8: Control signal lines; 12: Bit pass signal line; 14: Address pass signal line.

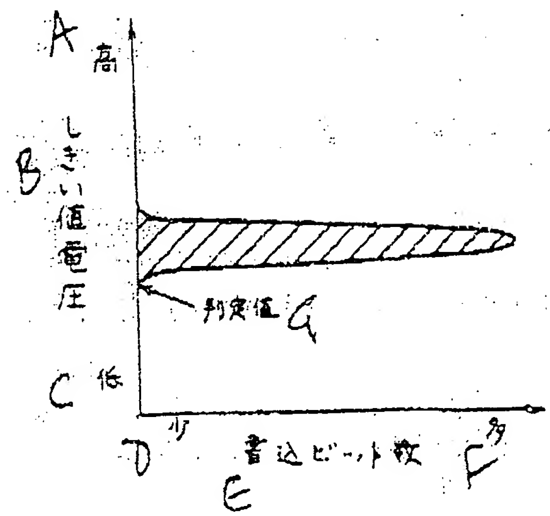
Figure 3



[Key:]

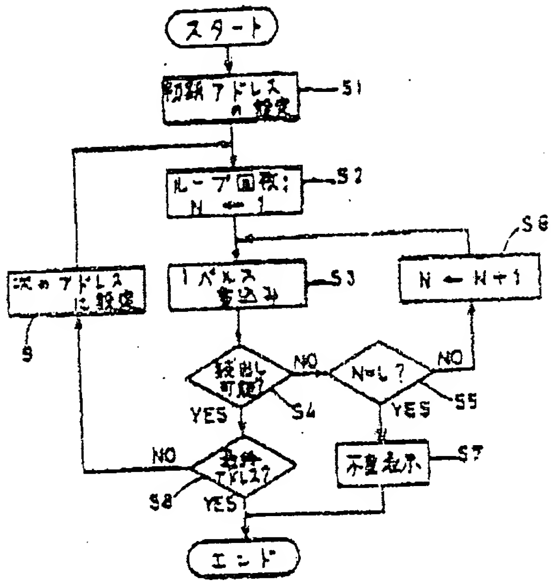
A: Address signal; B: Write signal; C: Read-out signal; D: 41 Output, "1" output 11a; E: Write data signal D1; F: 101 Output; G: 51 Output; H: 61 Output; I: 71 Output; J: 4n Output, "1" output 1na; K: 8n Output; L: Driver enable signal; M: Strobe signal; N: Clear signal; O: Address pass signal; P: Next address; Q: One pulse; R: Write at low level; S: "1" output; T: "1" input; U: Read-out at low level; V: "0" input; W: "0" output; X: Write data "0"; Y: Write data "1"; Z: Clearing of pass bit information; A': Pass state at third pulse; B': Pass state at first pulse; C': Pass state at fourth pulse; D': Pass state at second pulse; E': Read-out OK; F': Read-out OK.

Figure 4



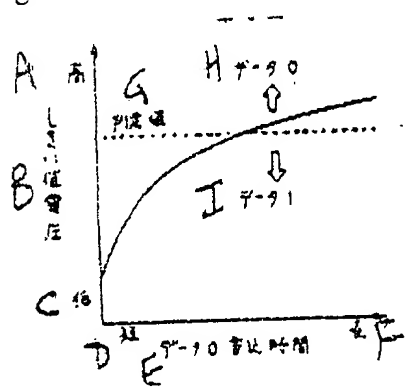
[Key: A: High; B: Threshold voltage; C: Low; D: Small; E: Number of bits written; F: Large; G: Judgement value.]

Figure 5



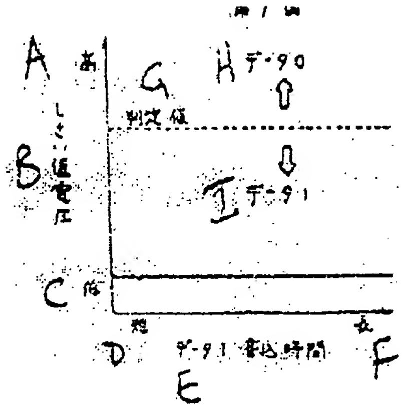
[Key: [top oval] Start; S1: Setting of initial address; S2: Loop number: N ← 1; S3: One pulse written; S4: Read-out possible?; S7: Display of faulty operation; S8: Final address?; S9: Setting of next address; [bottom oval] End.]

Figure 6



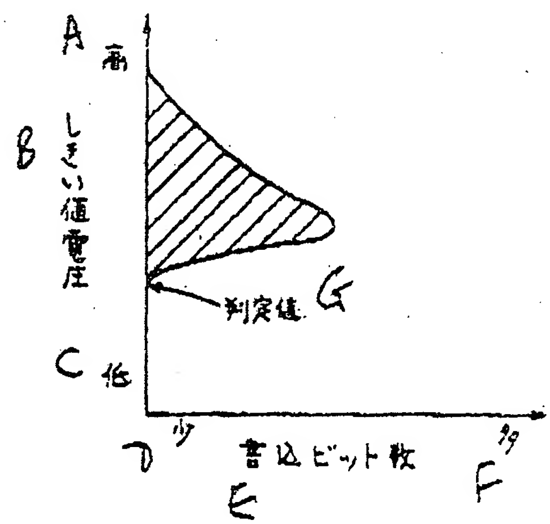
[Key: A; High; B: Threshold voltage; C: Low; D: Short; E: Data "0" writing time; F: Long; G: Judgement value; H: Data "0"; I: Data "1".]

Figure 7



[Key: A: High; B: Threshold voltage; C: Low; D: Short; E: Data "1" writing time; F: Long; G: Judgement value; H: Data "0"; I: Data "1".]

Figure 8



[Key: A: High; B: Threshold voltage; C: Low; D: Small; E: Number of bits written; F: Large; G: Judgement value.]

[Translator's Note: The procedural amendment at the end of the original has been incorporated into the translation.]

⑲日本国特許庁（JP）　⑪特許出願公開

⑫公開特許公報（A）　昭62-188100

⑤Int.Cl.⁴　識別記号　庁内整理番号　㊸公開　昭和62年(1987)8月17日

G 11 C 17/00　309　6549-5B
29/00　303　F-7737-5B　審査請求　未請求　発明の数　1　（全9頁）

㊹発明の名称　紫外線消去型プログラマブルＲＯＭの書込方法

㉑特　願　昭61-31125

㉒出　願　昭61(1986)2月13日

⑫発明者　小山　利弘　伊丹市瑞原4丁目1番地　三菱電機株式会社北伊丹製作所内

⑫発明者　田原　次夫　伊丹市瑞原4丁目1番地　三菱電機株式会社北伊丹製作所内

⑪出願人　三菱電機株式会社　東京都千代田区丸の内2丁目2番3号

⑭代理人　弁理士　大岩　増雄　外2名

明　細　書

1．発明の名称

紫外線消去型プログラマブルＲＯＭの書込方法

2．特許請求の範囲

複数ビットごとにデータを一括書込するような紫外線消去型プログラマブルＲＯＭの書込方法であって、

複数ビット分の書込データを一括入力して前記複数ビットに一括書込し、

前記各ビットに書込まれたデータを読出し、

この読出されたデータと前記一括入力される書込データとの一致を判定して、書込データ０を書込んだビットのうちに所定しきい値電圧に到達したビットがあるか否かを検出し、

前記読出されたデータと前記一括入力される書込データとが一致したビットに対しては、その後前記書込データ０を１に変更して書込むようにし、

前記読出されたデータと前記一括入力される書込データとが一致しないビットに対しては前記書込データ０のままで書込むようにする紫外線消去型プログラマブルＲＯＭの書込方法。

3．発明の詳細な説明

［産業上の利用分野］

この発明は紫外線消去型プログラマブルＲＯＭ（以下ＥＰＲＯＭと記す）の書込方法に関し、特に書込データ０を書込むべきビットのしきい値電圧を判定値以上の一定レベルに揃えることができる書込方法に関するものである。

［従来の技術］

第５図は従来のＥＰＲＯＭの書込方法のフローチャートである。

このＥＰＲＯＭは、アドレスが複数のビットで構成されており、消去状態が１、書込状態が０である。

この書込方法について説明すると、まず、ステップＳ１で初期アドレスの設定を行なう。次に、ステップＳ２でループ回数Ｎを１にする。次に、ステップＳ３で設定された初期アドレスの各ビットに一定時間の１パルスを書込むことによって０または１の書込データの書込を行なう。次に、ス

テップS4でアドレスのすべてのビットについて書込まれたデータの読出が可能か否かを判定する。このとき、該当ビットについて、書込データが0ならばそのしきい値電圧が判定値以上のレベルに到達した状態のとき、また書込データが1ならばそのしきい値電圧が判定値以下の一定レベルになった状態（これらの状態をパス状態という）のとき、ビットに書込まれたデータの読出が可能となる。アドレスのビットのうちのいずれかのビットが読出不可能な場合は、ステップS5でこのビットについてループ回数Nがループ制限値Lに等しいか否かが判定される。ループ回数Nがループ制限値Lに等しくない場合には、ステップS6でN＝2となり、ステップ3に戻って書込データの再書込が行なわれる。以後、ステップS4で書込まれたデータの読出が可能となるまでループ回数Nを順次1ずつ増加させながらステップS3，ステップS4，ステップS5，ステップS6のサイクルを繰返す。このサイクルにおいて、ループ回数Nがループ制限値Lに等しくなった場合にはステップS7でEPROMへの書込の不良表示がなされ、以後再書込は打切られる。アドレスのすべてのビットが読出可能な場合には、ステップS8でアドレスが最終アドレスであるか否かが判定される。最終アドレスである場合には、EPROMの書込は終了し、最終アドレスでない場合には、ステップS9で次のアドレスに設定され、ステップS2に戻って次のアドレスの書込、読出へと続く。

このように、1アドレスごとに一定時間の1パルスの書込と読出を、アドレスのすべてのビットがパス状態となるかまたはループ回数Nがループ制限値Lになるかまで繰返し、このサイクルを最終アドレスまで実行することによって、書込データが1アドレス単位でビットに書込まれる。

第6図はEPROMのビットに従来の書込方法で書込データ0を書込む場合の書込特性を示す図である。図において、書込データ0を書込んだビットのしきい値電圧は書込時間に比例して高くなっている。ここで、ビットのしきい値電圧が判定値のレベルに到達するのに必要な書込時間はEPROMの製造時のばらつきによってビットごとに異なる。

第7図はEPROMのビットに従来の書込方法で書込データ1を書込む場合の書込特性を示す図である。図において、書込データ1を書込んだビットのしきい値電圧は書込時間に対して変化しない。

［発明が解決しようとする問題点］

従来のEPROMは以上のような方法で書込が行なわれるが、第6図に示すように書込データ0を書込んだビットのしきい値電圧は書込時間に比例するので、同一アドレス内のビットのうちに書込データ0を書込み難いビットがある場合には、ステップS3，ステップS4，ステップS5，ステップS6からなるサイクルを何度も繰返して長時間再書込を行なうので、書込データ0を書込やすいビットのしきい値電圧は書込難いビットのしきい値電圧に比べて十分高くなってしまう。

第8図はこの様子を示したものであり、書込データ0を書込んだビットのしきい値電圧にばらつきが生じており、書込ビット数が少ないほどばらつきが大きくなっている。このため、従来の書込方法は、高温保存や高温動作などの記憶保持特性試験における前処理としての書込には適さないなどの問題点があった。

この発明は上記のような問題点を解消するためになされたもので、書込データ0を書込むべきビットのしきい値電圧を判定値以上の一定レベルに揃えることができるEPROMの書込方法を得ることを目的とする。

［問題点を解決するための手段］

この発明に係るEPROMの書込方法は、複数ビット分の書込データを一括入力して複数ビットに一括書込し、各ビットに書込まれたデータを読出し、この読出されたデータと一括入力される書込データとの一致を判定して、書込データ0を書込んだビットのうちに所定しきい値電圧に到達したビットがあるかどうかを検出し、読出されたデータと一括入力される書込データとが一致したビットに対しては、その後書込データ0を1に変更

して書込むようにし、読出されたデータと一括入力される書込データとが一致しないビットに対しては書込データ0のままで書込むようにする方法である。

〔作用〕

この発明はビットに書込データ1を書込んでもそのしきい値電圧が変化しない書込特性を利用したものである。すなわち、書込データ0を書込んだビットのうちに所定しきい値電圧に到達したビットがある場合には、その後このビットについては書込データを変更して1を、同一アドレス内のまだ所定しきい値電圧に到達していない他のビットについてはそのまま書込データ0を一括再書込するようにしたので、上記他のビットについては一括再書込によりそのしきい値電圧は上がるが、上記所定しきい値電圧に到達したビットのしきい値電圧は一括再書込により変化しない。

〔実施例〕

以下、この発明の実施例を図について説明する。なお、この実施例の説明において、従来の技術の説明と重複する　　については適宜その説明を省略する。

第1図はこの発明の実施例であるEPROMの書込方法のフローチャートである。このフローチャートが第5図のフローチャートと異なる点は以下の点である。すなわち、ステップS5とステップS6との間にステップS51，ステップS52，ステップS53が、さらにステップS9の後にステップS10が追加された点である。すなわち、ループ回数Nがループ制限値Lに等しくない場合には、ステップS51で設定されたアドレスのビットの中にパス状態のビットがあるか否かが判定される。パス状態のビットがない場合には、ステップS6でループ回数Nを1増加させ、ステップS3に戻って各ビットに一定時間の1パルスを書込むことによって0または1の書込データの書込を行なう。パス状態のビットがある場合には、ステップS52でパス状態のビット情報を記憶し、次にステップS53でパス状態のビットのうち書込データ0を書込んだビットについて以後書込データを0から1に変更し、次にステップS6でループ回数Nを1増加させ、次にステップS3に戻って各ビットに一定時間のパルスを書込むことによって0または1のデータの書込を行なう。以後、ステップS4でアドレスのすべてのビットがパス状態となるまでループ回数Nを順次1ずつ増加させながらステップS3～ステップS5，ステップS51～ステップS53，ステップS6のサイクルを繰返す。さらに、ステップS9で次のアドレスに設定されると同時に、ステップS52で記憶されたパス状態のビット情報はステップS10でクリアされる。

このように、1アドレスごとに一定時間の1パルスの書込と読出を、アドレスのすべてのビットがパス状態となるかまたはループ回数Nがループ制限値Lになるかまで繰返し、ステップS3～ステップS5，ステップS51～ステップS53，ステップS6からなるサイクルを最終アドレスまで実行することによって書込データが1アドレス単位でビットに書込まれる。

第2図は第1図の書込方法を外部回路で実現した例を示す回路図である。この構成について説明すると、EPROM1にアドレス信号線3，書込信号線4，読出信号線5が接続されており、各信号線にそれぞれアドレス信号，$\overline{\text{書込}}$信号，$\overline{\text{読出}}$信号が与えられる。EPROM1の各アドレスはn個のビットから構成されており、このn個のビットに対応してn個のドライバ・コンパレータ回路31～3nが設けられている。EPROM1はn本のデータ信号線2により各ドライバ・コンパレータ回路31～3nに接続されており、各ドライバ・コンパレータ回路31～3nはn本のビットパス信号線12によりNAND回路13に接続されている。NAND回路13はアドレスパス信号線14に接続されている。

ドライバ・コンパレータ回路31について詳細に説明すると、データピン111に書込データ信号D1が入力される。データピン111はOR回路101の一方の入力端，ゲート41を介してデータ信号線21に接続されている。ゲート41に

コントロール信号線6が接続されており、このコントロール信号線にドライバ・イネーブル信号が与えられる。ゲート41はドライバ・イネーブル信号によりそのオン・オフが制御される。OR回路101の出力側とゲート41の入力側との接続点はEOR回路51の一方の入力側に接続されており、ゲート41の出力側はEOR回路51の他方の入力側に接続されている。EOR回路51はOR回路101からのデータ信号101aとEPROM1から読出された読出データ信号11aとの一致を判定する。すなわち、データが書込まれたビットのしきい値電圧がパス状態になって書込むべきデータが読出可能であるか否かを判定する。EOR回路51の出力側はOR回路61の一方の入力側に接続されている。OR回路61の他方の入力側にコントロール信号線7が接続されており、このコントロール信号線にストローブ信号が与えられる。OR回路61はストローブ信号によりEOR回路51からの判定結果を取込む。NAND回路81とNAND回路91とはフリップフロップ回路71を構成する。OR回路61の出力側はNAND回路81の一方の入力側に接続され、NAND回路81の他方の出力側はNAND回路91の出力側に接続されている。NAND回路91の一方の入力側はNAND回路81の出力側およびOR回路101の他方の入力側に接続されている。NAND回路91の他方の入力側にコントロール信号線8が接続されており、このコントロール信号線にクリア信号が与えられる。フリップフロップ回路71はOR回路61出力のうち、パス状態に対応する信号を記憶する。OR回路101は、フリップフロップ回路71出力がパス状態に対応しているとき書込データD1を0から1に変える。フリップフロップ回路71に記憶されたパス状態に対応する信号はクリア信号によりクリアされる。OR回路101の他方の入力側とNAND回路81の出力側との接続点はビットパス信号線121によりNAND回路13の入力側に接続されている。また、他のドライバ・コンパレータ回路3nなどについてもドライバ・コンパレータ回路31と同様に構成されており、たとえばドライバ・コンパレータ回路3nについて、4nはゲート、10nはOR回路、8nはNAND回路であり、データピン11nに書込データ信号Dnが入力される。NAND回路13は、ドライバ・コンパレータ回路31～3nの各フリップフロップ回路出力がすべてパス状態に対応し、アドレスのすべてのビットについて書込むべきデータの読出が可能であるとき、アドレスパス信号線14にローレベルのアドレスパス信号を出力する。

第3図は第2図の回路の動作を説明するためのタイミングチャートである。

次に、第2図の回路による書込方法を第3図を参照しながら説明する。データピン111に0の書込データ信号D1が入力され、OR回路101から0のデータ信号101aが出力されているとする。この0のデータ信号101aはゲート41に与えられ、ドライバ・イネーブル信号がローレベルとなり、書込信号がローレベルとなってEPROM1の設定されたアドレスのビットに一定時間の1パルスを書込むことによって0のデータ信号101aが書込まれる。この後、読出信号がローレベルとなってEPROM1から読出データ信号11aが出力される。このとき、まだビットのしきい値電圧はパス状態になっていないので読出データ信号11aは1となる。EOR回路51は0のデータ信号101aと読出データ信号11aとの一致を判定してハイレベルのビット判定信号51aを出力する。この後、ストローブ信号がローレベルとなってOR回路61はハイレベルのビット判定信号51aを取込み、OR回路61からハイレベルのビット信号61aが出力される。このとき、クリア信号はハイレベルになっているので、フリップフロップ回路71からローレベルのビットパス信号が出力される。次に、まだ書込データ0の読出が可能でないのでOR回路101出力は変化せず0のデータ信号101aが同一ビットに再書込される。0のデータ信号101aの再書込、データ信号101aと読出データ信号11aとの一

致の判定などからなるサイクル動作は0の読出データ信号11aが出力されるまで、すなわちビットのしきい値電圧がパス状態になるまで何回も繰返される。但し、ループ回数Nがループ制限値Lになった場合にはEPROM1への書込の不良表示がなされ、以後0のデータ信号101aの再書込が打切られる。再書込によって、データ信号101aと読出データ信号11aとが一致して0を書込むべきビットのしきい値電圧がパス状態なったとき（第3図において3パルス目でパス状態）、EOR回路51はローレベルのビット判定信号51aを出力する。この後、ストローブ信号がローレベルになってOR回路61はローレベルのビット判定信号51aを取込み、OR回路61からローレベルのビット信号61aが出力される。このとき、クリア信号はハイレベルになっているので、ローレベルのビット信号61aはフリップフロップ回路71に記憶され、フリップフロップ回路71からハイレベルのビットパス信号81aが出力される。次に、既に書込データ0の読出が可能であるのでOR回路101出力は変化して1のデータ信号101aが出力され、この1のデータ信号101aが同一ビットに再書込される。この後、EPROM1から0の読出データ信号11aが出力され、ビット判定信号51aはハイレベル、ビット信号61aはハイレベルとなり、ビットパス信号81aがハイレベルのままでOR回路101出力は変化せず、1のデータ信号101aが同一ビットに再書込される。以後、OR回路101からは1のデータ信号101aが出力されビットには1が書込まれ続けるが、ビットに1のデータ信号を書込んでもビットのしきい値電圧の上昇は起こらないので、0の書込データ信号を書込むべきビットのしきい値電圧はほぼ最初のパス状態の一定レベルに保持され変化しない。

また、データピン111から1の書込データD1が入力される場合についても、0の書込データ信号D1を書込む場合と同様、ビットがパスの状態となった後も他のビットがすべてパス状態になるまで1のデータ信号が書込み続けられる。この場合はもちろん1の書込データ信号を書込むべきビットのしきい値電圧は判定値以下の一定レベルのままに保持される。

以上のような書込動作は残りのドライバ・コンパレータ回路3n等についてもドライバ・コンパレータ回路31の書込動作と並列に行なわれ、同一アドレス内の各ビットに0または1の書込データ信号が書込まれる。そして、同一アドレス内のすべてのビットのしきい値電圧がパス状態となったときアドレスのすべてのビットの読出が可能となり、各ドライバ・コンパレータ回路からのビットパス信号81a～8nはすべてハイレベルとなって、NAND回路13からローレベルのアドレスパス信号がアドレスパス信号線14に出力され次のアドレスが設定される。このとき、クリア信号がローレベルになってフリップフロップ回路71に記憶されたパス状態のビット信号61aはクリアされ、フリップフロップ回路71出力はローレベルとなって次のアドレスの書込へと続いていく。

第4図はこの書込方法で書込データ0を書込む場合のビットのしきい値電圧の分布を書込ビット数に対して示したもので、各ビットのしきい値電圧は書込ビット数の多少にかかわらずほぼ判定値のレベルに揃っておりばらつきが少ない。

このように、この発明においては0の書込データを書込むべきビットについては、パス状態になった後は書込データを0から1に変更して書込むようにしているので、アドレス単位で複数のビットに一括再書込が繰返されても、書込データ0を書込むべきビットのしきい値電圧はほぼ判定値以上の一定レベルに、書込データ1を書込むべきビットのしきい値電圧は判定値以下の一定レベルに揃うことになる。

なお、上記実施例では、この発明の書込方法を第2図の外部回路で実現した場合について説明したが、同様な外部回路、またはデバイスの内部回路、またはソフトウェアで実現してもよく、これらの場合にも上記実施例と同様の効果を奏する。

〔発明の効果〕

以上のようにこの発明によれば、複数ビット分の書込データを複数ビットに一括書込し、読出されたデータと書込データとの一致を判定して、書込データ0を書込んだビットのうちに所定しきい値電圧に到達したビットがあるか否かを検出し、読出されたデータと書込データとが一致したビットに対しては、その後書込データを0から1に変更して書込むようにし、読出されたデータと書込データとが一致しないビットに対しては書込データ0のままで書込むようにするので、書込データ0を書込むべきビットのしきい値電圧を判定値以上の一定レベルに揃えることができるEPROMの書込方法を得ることができる。このため、高温保存や高温動作などの記憶保持特性試験における前処理としての書込に適する。

4．図面の簡単な説明

第1図はこの発明の実施例であるEPROMの書込方法のフローチャートである。

第2図は第1図の書込方法を外部回路で実現した例を示す回路図である。

第3図は第2図の回路の動作を説明するためのタイミングチャートである。

第4図はこの発明の書込方法で書込データ0を書込む場合のビットのしきい値電圧の分布を書込ビット数に対して示す図である。

第5図は従来のEPROMの書込方法のフローチャートである。

第6図は従来の書込方法で書込データ0を書込む場合の書込特性を示す図である。

第7図は従来の書込方法で書込データ1を書込む場合の書込特性を示す図である。

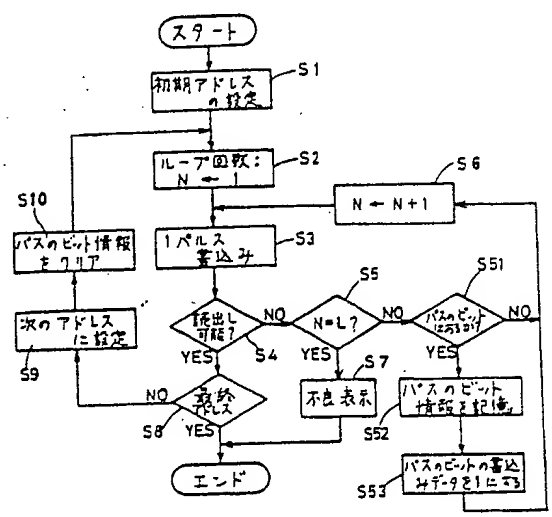
第8図は従来の書込方法で書込データ0を書込む場合のビットのしきい値電圧の分布を書込ビット数に対して示す図である。

図において、1はEPROM、2はデータ信号線、3はアドレス信号線、4は書込信号線、5は読出信号線、6，7，8はコントロール信号線、12はビットパス信号線、14はアドレスパス信号線、31，3nはドライバ・コンパレータ回路、41，4nはゲート、51はEOR回路、61，101，10nはOR回路、71はフリップフロップ回路、81，8n，91，13はNAND回路である。

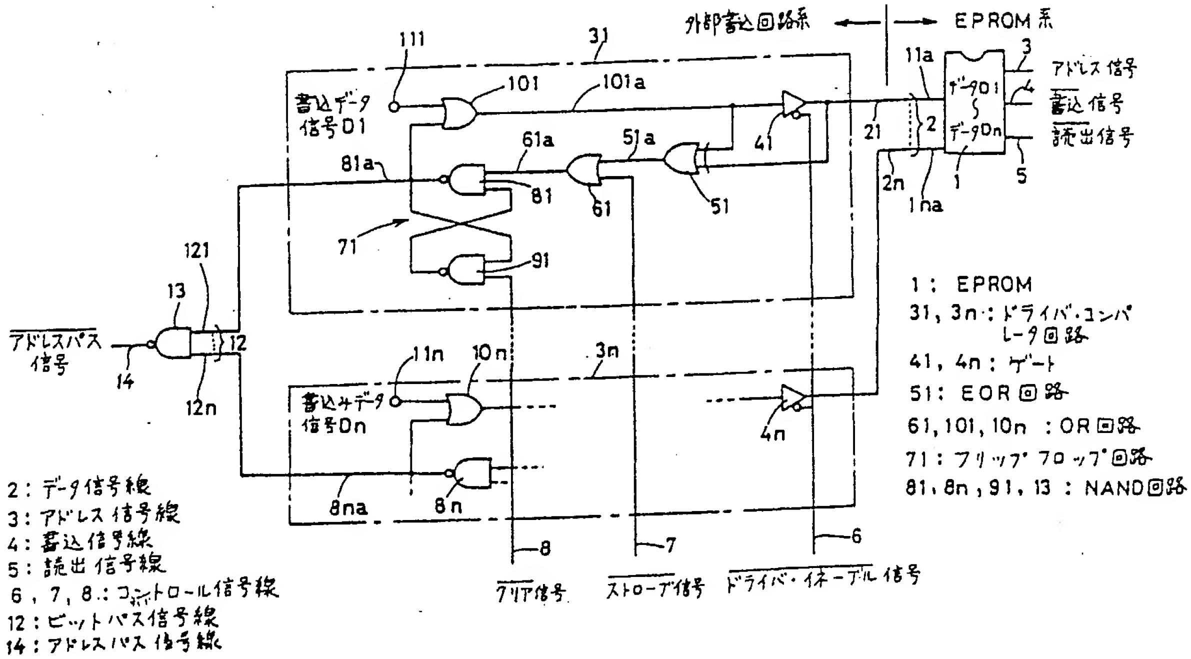
なお、各図中同一符号は同一または相当部分を示す。

代理人　　大岩増雄

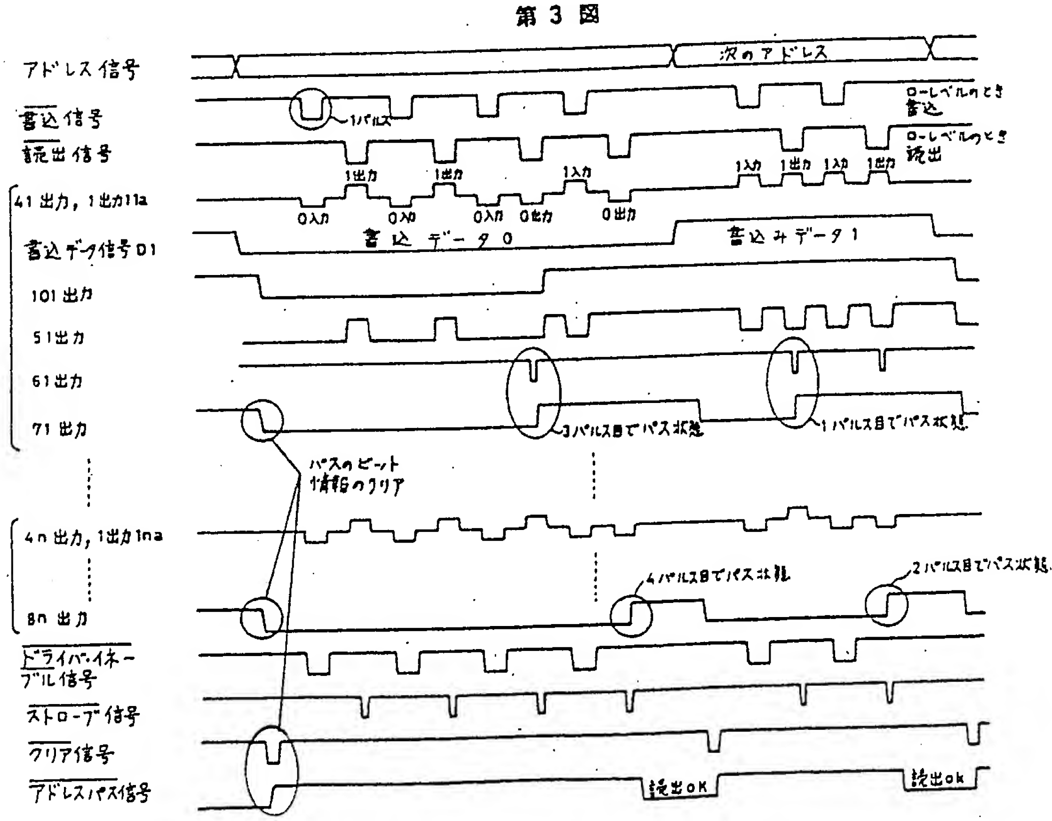
第1図



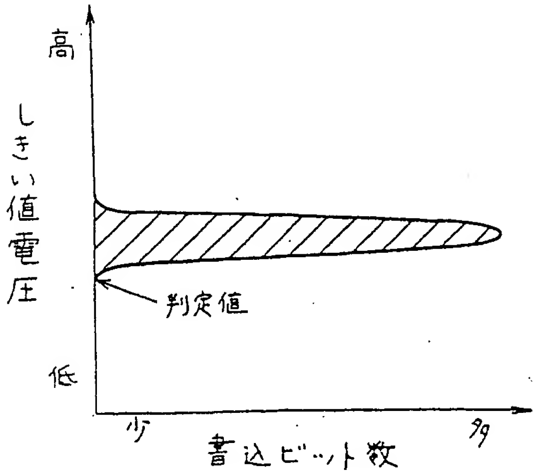
第 2 図


外部書込回路系
EPROM系
111
31
101
101a
書込データ信号D1
61a
51a
81a
81
61
41
51
71
91
11a
3
アドレス信号
書込信号
読出信号
2
21
2n
1na
1
5
121
13
アドレスバス信号
14
12
12n
11n
10n
3n
書込みデータ信号Dn
4n
8na
8n
8
7
6
クリア信号
ストローブ信号
ドライバ・イネーブル信号
1： EPROM
31，3n：ドライバ・コンパレータ回路
41，4n：ゲート
51： EOR回路
61，101，10n ：OR回路
71：フリップフロップ回路
81，8n，91，13 ：NAND回路
2：データ信号線
3：アドレス信号線
4：書込信号線
5：読出信号線
6，7，8.：コントロール信号線
12：ビットバス信号線
14：アドレスバス信号線

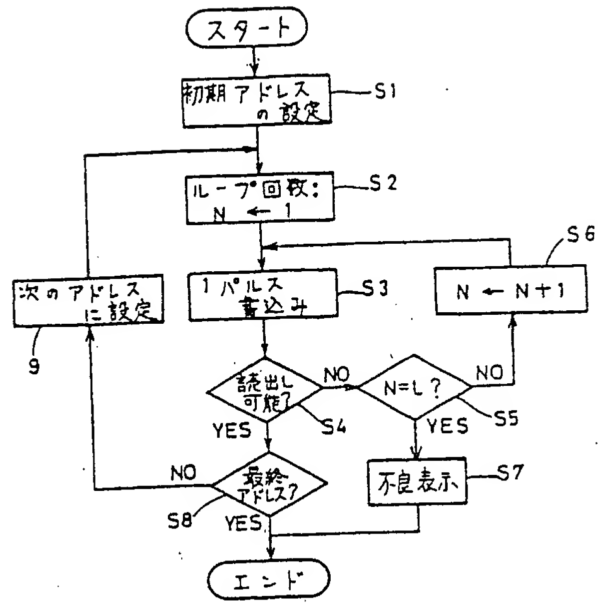
第 3 図


アドレス信号
次のアドレス
書込信号
1パルス
ローレベルのとき書込
読出信号
ローレベルのとき読出
41出力，1出力11a
1出力
0入力
0出力
1入力
書込データ信号D1
書込データ0
書込みデータ1
101出力
51出力
61出力
71出力
3パルス目でパス状態
1パルス目でパス状態
バスのビット情報のクリア
4n出力，1出力1na
8n出力
4パルス目でパス状態
2パルス目でパス状態
ドライバ・イネーブル信号
ストローブ信号
クリア信号
アドレスバス信号
読出OK

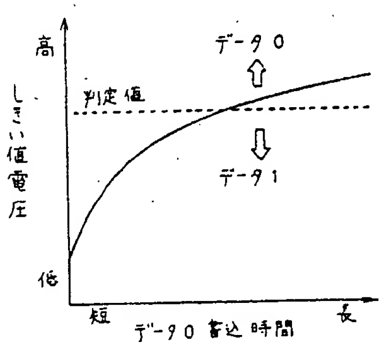
第4図



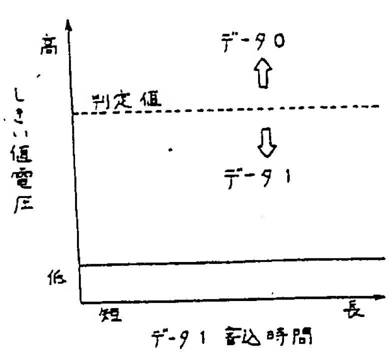
第5図



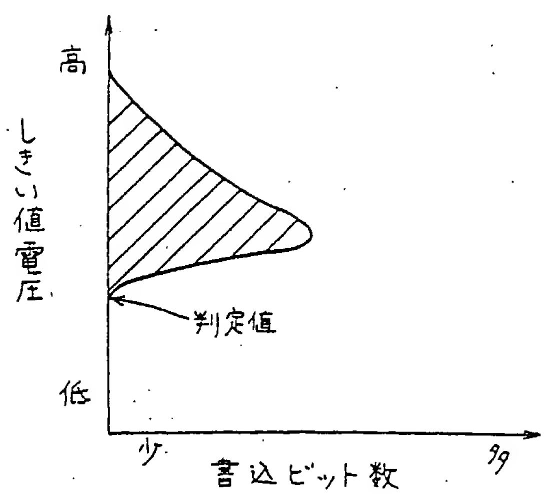
第6図



第7図



第8図



手　続　補　正　書（自発）

昭和61年8月4日

適

特許庁長官殿

1．事件の表示　　特願昭61−31125号

2．発明の名称

紫外線消去型プログラマブルＲＯＭの書込方法

3．補正をする者

事件との関係　特許出願人

住　所　東京都千代田区丸の内二丁目2番3号

名　称　(601) 三菱電機株式会社

代表者　~~片山仁八郎~~

志　岐　守　哉

4．代　理　人

住　所　東京都千代田区丸の内二丁目2番3号

三菱電機株式会社内

氏　名　(7375) 弁理士　大　岩　増　雄

(連絡先03(213)3421特許部)

特許庁

61.8.6

5．補正の対象

明細書の発明の詳細な説明の欄

6．補正の内容

（1）　明細書の第10頁第17行，第18行、第13頁第14行および第16頁第16行の「データピン111」を「書込データ信号線111」に訂正する。

（2）　明細書第13頁第4行の「データピン11n」を「書込データ信号線11n」に訂正する。

以上